



DLL circuit and a memory device building th same in

Patent Number:  [US5956290](#)
Publication date: 1999-09-21
Inventor(s): MATSUZAKI YASUROU (JP)
Applicant(s): FUJITSU LTD (JP)
Requested Patent:  [JP11202969](#)
Application Number: US19980100036 19980619
Priority Number(s): JP19980006220 19980116
IPC Classification: G11C8/00
EC Classification: [G11C7/22](#), [H03K5/135](#)
Equivalents:

Abstract

A non-loop type DLL circuit which makes it possible to lock in at accurate timing for a short time and a memory device in which the DLL circuit is built in. The above-described clock cycle measurement section measures a clock cycle of a reference clock plural times and generates a delay control signal according to the coincident result while the plural measurements. The variable delay circuit is supplied with a reference clock or an internal clock (first clock) maintaining the same clock cycle delayed by a prescribed phase from the reference clock, and its delay time is controlled according to the delay control signal so that it generates at an output terminal an output clock (second clock) in synchronism with the reference clock and maintains a prescribed phase relationship with the reference clock.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-202969

(43)公開日 平成11年(1999) 7月30日

| (51)Int.Cl. ⁴ | 識別記号 | F I |
|--------------------------|-------|---|
| G 0 6 F 1/04 1/10 | 3 0 1 | G 0 6 F 1/04 3 0 1 F H 0 3 K 5/13 H 0 3 L 7/00 D G 0 6 F 1/04 3 3 0 A G 1 1 C 11/34 3 5 4 C |
| G 1 1 C 11/407 | | |
| H 0 3 K 5/13 | | |
| H 0 3 L 7/00 | | |

審査請求 未請求 請求項の数 6 O L (全 18 頁) 最終頁に続く

(21)出願番号 特願平10-6220

(22)出願日 平成10年(1998) 1月16日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 松崎 康郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

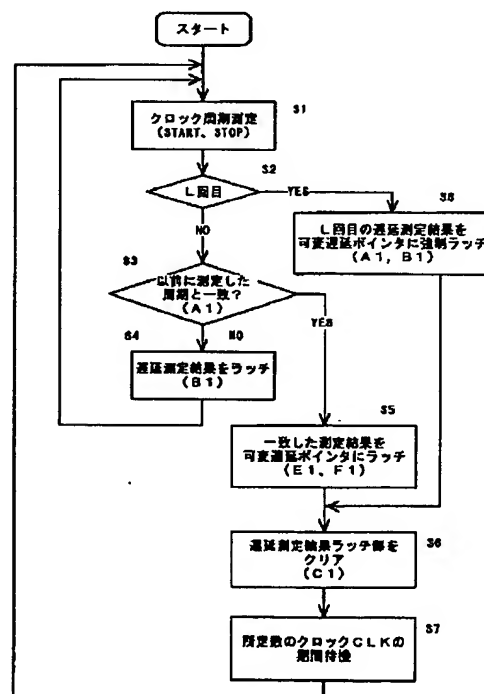
(74)代理人 弁理士 土井 健二 (外1名)

(54)【発明の名称】 D L L回路及びそれを内蔵するメモリデバイス

(57)【要約】 (修正有)

【課題】短時間でより正確なタイミングでロックインできる非ループ型のD L L回路とそれを内蔵するメモリデバイス。

【解決手段】基準クロックの周期を測定するクロック周期測定部と、遅延制御信号により遅延時間が制御される可変遅延回路とを有する。クロック周期測定部は、基準クロックの周期の測定を複数回行い、複数の測定結果が一致時、該測定結果に基づき遅延制御信号を生成する。可変遅延回路は、基準クロック、或いは基準クロックから所定の位相遅れの同一周期の内部クロックを供給され、遅延制御信号に従い該遅延時間が制御され、出力端子に基準クロックと所定の位相関係で同期出力クロックを生成する。D L L回路は、唯一回の基準クロックの周期の測定に従い遅延制御信号を生成せず複数回の基準クロックの周期の測定結果が一致時の測定周期に従い遅延制御信号を生成する。従って、短時間で誤差の少ない遅延制御信号の生成を可能にする。



【特許請求の範囲】

【請求項1】第1のクロックと所定の位相の関係で同期する第2のクロックを生成するDLL回路において、前記第1のクロックの周期を測定し、測定した周期に基づいて遅延制御信号を生成するクロック周期測定部と、前記第1のクロックを入力し、前記遅延制御信号により制御された遅延時間後に前記第2のクロックを出力する可変遅延回路遅延回路とを有し、

前記クロック周期測定部は、前記第1のクロックの周期の測定を所定の複数回行い、複数の測定結果が一致する場合に、当該一致した測定結果に基づいて前記遅延制御信号を生成することを特徴とするDLL回路。

【請求項2】請求項1において、

更に、クロック周期測定部が生成した遅延制御信号を保持する可変遅延ポイント部を有することを特徴とするDLL回路。

【請求項3】請求項1において、

前記クロック周期測定部は、前記第1のクロックの開始のタイミングと同期したスタートパルスが供給される測定用遅延回路部と、前記第1のクロックの終了のタイミングと同期したエンドパルスに反応して測定用遅延回路部の遅延状態をラッチする遅延状態ラッチ部と、前記遅延状態ラッチ部がラッチした遅延測定結果を保持する遅延測定結果ラッチ部と、遅延測定結果ラッチ部が記憶する遅延測定結果と、現在測定した遅延測定結果とを比較して一致したか否かを判定する一致判定部とを有し、前記一致判定部で一致判定された遅延測定結果に基づいて前記遅延制御信号が生成されることを特徴とするDLL回路。

【請求項4】請求項1または3において、

前記クロック周期測定部は、前記所定の複数回の測定において、前記複数の測定結果が一致しない場合は、最後に測定した結果に基づいて前記遅延制御信号を生成することを特徴とするDLL回路。

【請求項5】請求項1または3において、

前記クロック周期測定部は、前記所定の複数回の測定において、前記複数の測定結果が一致しない場合は、測定結果のうち中央値の測定結果に基づいて前記遅延制御信号を生成することを特徴とするDLL回路。

【請求項6】第1のクロックと所定の位相関係をもって同期してデータの出力をするメモリデバイスにおいて、データを記憶するメモリセルアレイと、前記メモリセルアレイから読み出されたデータを出力する出力バッファと、前記基準クロックから前記出力バッファの出力タイミングを制御する出力クロックを生成するDLL回路とを有

し、

該DLL回路は、

前記第1のクロックの周期を測定し、測定した周期に基づいて遅延制御信号を生成するクロック周期測定部と、前記第1のクロックを入力し、前記遅延制御信号により制御された遅延時間後に前記第2のクロックを出力する可変遅延回路遅延回路とを有し、

前記クロック周期測定部は、前記第1のクロックの周期の測定を所定の複数回行い、複数の測定結果が一致する場合に、当該一致した測定結果に基づいて前記遅延制御信号を生成することを特徴とするメモリデバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基準クロックと所定の位相関係をもって同期する出力クロックを生成するデレード・ロック・ループ（DLL）回路に関し、ノイズなどの発生に伴い基準クロックに変動が発生しても短時間で正確な出力クロックの生成を可能にするDLL回路及びそれを内蔵するメモリデバイスに関する。

【0002】

【従来の技術】外部からの基準クロックに対して同期する内部クロックを生成するセルフ・タイミング・コントロール回路（STC回路）には、例えばPLL回路とDLL回路とがある。このDLL回路は、通常外部から供給される基準クロックと所定の位相関係をもって同期する出力クロックを生成する回路として知られている。

【0003】近年における高速のDRAMであるシンクロナスDRAM（SDRAM）等では、かかるDLL回路が内部に設けられ、メモリコントローラ側から供給される基準クロックに対して、所定の位相関係、例えば同位相或いは所定角度の位相ずれをもって同期する内部クロックが生成される。かかる内部クロックを利用して、読み出し出力のタイミングを制御することにより、メモリコントローラ側が供給する基準クロックに読み出し出力のタイミングが制御されて、SDRAMの高速動作を可能にする。

【0004】かかるDLL回路には、基準クロックに遅延を与えてレファレンスクロックを生成する可変遅延回路と、基準クロックとレファレンスクロックとの位相差を検出する位相比較回路と、その位相差がなくなる様に遅延制御信号を生成する遅延制御回路とを有するループ型のDLL回路がある。

【0005】かかる回路は、基準クロックとレファレンスクロックの位相が一致するロック状態を維持する様に制御されるので、ノイズの発生により基準クロックに多少の変動が発生しても、所定の長期間に供給される基準クロックに位相同期したクロックを生成することができる。但し、基準クロックが供給される毎に位相が一致するか否かの判定を行いながら遅延制御信号を生成するので、ロック状態に至るまでに長時間を要する。

【0006】一方、別のDLL回路として、基準クロックに遅延を与えて目的の出力クロックを生成する可変遅延回路を有し、基準クロックの周期を検出して、その周期の長さに見合った遅延制御信号を生成するクロック周期測定部を有する非ループ型のDLL回路がある。かかる回路は、上記のループ型のDLL回路の様に、ロック状態に至るまでの長時間を必要としない。

【0007】

【発明が解決しようとする課題】しかしながら、非ループ型のDLL回路は、供給される基準クロックの周期の長さを実際に測定するので、測定した時にたまたま発生したノイズの影響で基準クロックに変動が発生し、通常周期と異なる周期が検出されると、誤った周期に基づく遅延制御信号が生成される。通常、消費電力を抑える目的で、かかるDLL回路における周期測定動作は、複数の基準クロックの期間毎に行われる。従って、誤った周期に基づく遅延制御信号が生成されると、その後から次の周期測定の時までには、誤ったタイミングの出力クロックが生成されることになる。

【0008】そこで、本発明の目的は、基準クロックの周期の長さを測定する非ループ型のDLL回路であって、より正確な周期の測定に基づく遅延制御信号の生成を可能にするDLL回路を提供することにある。

【0009】更に、本発明の目的は、短時間でロック状態の遅延制御信号を生成し、且つ誤差の少ない出力クロックを生成することができるDLL回路を提供することにある。

【0010】更に、本発明の目的は、上記のDLL回路を内蔵するメモリデバイスを提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成するために、本発明のDLL回路は、基準クロックの周期を測定するクロック周期測定部と、遅延制御信号により遅延時間が制御される可変遅延回路とを有する。上記のクロック周期測定部は、基準クロックの周期の測定を複数回行い、複数の測定結果が一致する場合に、その一致した測定結果に基づいて遅延制御信号を生成する。可変遅延回路は、基準クロック、或いは基準クロックから所定の位相遅れた同一周期の内部クロック（第1のクロック）を供給され、前記の遅延制御信号に従ってその遅延時間が制御され、出力端子に前記基準クロックと所定の位相関係をもって同期する出力クロック（第2のクロック）を生成する。

【0012】上記の発明のDLL回路は、唯一回の基準クロックの周期の測定に従って遅延制御信号を生成するのではなく、複数回の基準クロックの周期の測定を行い、測定結果が一致した時の測定周期に従って遅延制御信号を生成する。従って、本発明のDLL回路は、短時間で誤差の少ない遅延制御信号の生成を可能にする。

【0013】上記のクロック周期測定部は、より具体的

には、前記第1のクロックの開始のタイミングと同期したスタートパルスが供給される測定用遅延回路部と、前記第1のクロックの終了のタイミングと同期したエンドパルスにตอบสนองして測定用遅延回路部の遅延状態をラッチする遅延状態ラッチ部と、前記遅延状態ラッチ部がラッチした遅延測定結果を保持する遅延測定結果ラッチ部と、遅延測定結果ラッチ部が記憶する遅延測定結果と、現在測定した遅延測定結果とを比較して一致したか否かを判定する一致判定部とを有する。そして、一致判定部にて一致したと判定された遅延測定結果に従って、遅延制御信号が可変遅延ポイントにラッチされる。

【0014】更に、別の発明によるDLL回路は、上記のDLL回路と同様に、基準クロックの周期の測定を複数回行い、測定結果が一致した場合の周期に従って遅延制御信号を生成すると共に、所定回数の測定を行っても測定結果が一致しない場合は、最後に測定した周期に従って遅延制御信号を生成する。この遅延制御信号にตอบสนองして、基準クロックと所定の位相関係を持つ出力クロックが、可変遅延制御回路により生成される。

【0015】かかる発明により、遅延制御信号の生成までの時間を短時間に制限することができると共に、その制限された短時間の間でより精度の高い遅延制御信号の生成を可能にする。

【0016】更に、別の発明によるDLL回路は、上記のDLL回路と同様に、基準クロックの周期の測定を複数回行い、測定結果が一致した場合の周期に従って遅延制御信号を生成すると共に、所定回数の測定を行っても測定結果が一致しない場合は、測定結果の中央値の周期に従って遅延制御信号を生成する。この遅延制御信号にตอบสนองして、基準クロックと所定の位相関係を持つ出力クロックが、可変遅延制御回路により生成される。

【0017】かかる発明により、遅延制御信号の生成までの時間を短時間に制限することができると共に、その制限された短時間の間でより精度の高い遅延制御信号の生成を可能にする。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。しかしながら、本発明の技術的範囲がその実施の形態に限定されるものではない。

【0019】図1は、本発明のDLL回路の全体構成図である。図1の例では、DLL回路10が、メモリセルアレイ3、センスアンプ4、コラムデコーダ5、ローデコーダ6を有するメモリデバイス内に内蔵されている。DLL回路10は、出力バッファ2の読み出しデータの出力のタイミングを制御する出力クロックCLK1を生成する。基準クロックCLKは、入力バッファ1に供給され、入力バッファ1の遅延時間(D1)分遅れた内部クロックCLK0がDLL回路10に供給される。

【0020】DLL回路10は、内部クロックCLK0が供給され制御パルス11Aを生成するDLL制御回路

11と、DLL制御回路11が生成する制御パルス11Aにตอบสนองして基準クロックCLKの周期を測定するクロック周期測定部12と、クロック周期測定部12により測定された周期に従って生成される遅延制御信号15をラッチする可変遅延ポイント13と、その遅延制御信号15に基づいて遅延時間が制御される可変遅延回路14とを有する。可変遅延回路14は、内部クロックCLK0を供給され、遅延制御信号15に応じた遅延を内部クロックCLK0に与え、基準クロックと所定の位相関係を持つ出力クロックCLK1を出力する。出力クロックCLK1は、出力バッファ2に与えられ、読み出しデータDATAの出力DQの出力タイミングを制御する。

【0021】図2は、DLL回路の基準クロックCLKと生成されるクロックCLK1との関係を示すタイミングチャート図である。基準クロックCLKは、時刻 t_1 、 t_2 、 t_3 でそれぞれ立ち上がり、その周期を開始する。メモリデバイスの出力端子DQは、読み出しデータDATAを、基準クロックCLKの立ち上がりエッジのタイミング t_1 、 t_2 、 t_3 に位相同期して出力する。そのために、DLL回路10内の可変遅延回路14は、基準クロックCLKの1周期の時間から、入力バッファ1の遅延時間D1と出力バッファ2の遅延時間D2とを除いた遅延時間D14を生成する。その結果、図2に示される通り、入力バッファ1は、基準クロックCLKから時間D1遅れの内部クロックCLK0を生成する。また、内部クロックCLK0が供給された可変遅延回路14は、内部クロックCLK0に対して遅延時間D14後に立ち上がる出力クロックCLK1を生成する。そして、出力クロックCLK1にตอบสนองして、出力バッファ2は、遅延時間D2後に、読み出しデータDATAを出力端子DQに出力する。

【0022】図2に示されたタイミングチャートから明らかな通り、DLL回路10は、基準クロックCLKと同じ周期を持つ内部クロックCLK0の周期を測定し、その測定した周期から入力バッファ1の遅延時間D1と出力バッファ2の遅延時間D2とを除いた遅延時間D14を生成することができる遅延制御信号15を生成する。その結果、メモリデバイスの出力バッファ2は、基準クロックCLKと完全に位相同期したタイミングで出力DQを出力することができる。

【0023】DLL回路10により測定される基準クロックの周期は、1周期分に限定されず、例えば複数周期分を測定して、複数周期遅れで出力DQのタイミングを制御することもできる。また、入力バッファ1の出力を基準クロックCLKの所定角度遅延させる回路を追加することにより、出力DQを基準クロックCLKと所定の位相差をもって同期して出力させることもできる。

【0024】図3は、DLL回路10内のクロック周期測定部12と可変遅延ポイント13とを示す概略回路図である。図3の下部に可変遅延ポイント13が設けら

れ、それ以外は、クロック周期測定部12を構成する。クロック周期測定部12には、図1に示した通り、DLL制御回路11からの制御パルス11Aとして、スタートパルスSTART、ストップパルスSTOP、ゲートパルスGATEが与えられる。

【0025】また、クロック周期測定部12は、基準クロックCLKまたは内部クロックCLK0の立ち上がりエッジと位相が一致するスタートパルスSTARTを与えられる測定用遅延回路121、スタートパルスSTARTの1周期後の立ち上がりエッジで立ち上がるストップパルスSTOPのตอบสนองして開くゲート部122、測定用遅延回路121での遅延状態を一時的にラッチする遅延状態ラッチ部123、そのラッチされた遅延測定結果をラッチする遅延測定結果ラッチ部126及び既に測定した遅延測定結果と現在測定した結果とが一致するか否かを判定する一致判定回路127とを有する。スイッチ125は、制御パルスA1及びB1にそれぞれตอบสนองして、遅延状態ラッチ部123のラッチしている情報を一致判定回路127に供給し、及び遅延測定結果ラッチ部126に供給する。

【0026】更に、クロック周期測定部12は、一致判定回路127により測定結果の一致が判定された時に生成されるゲートパルスGATEにตอบสนองして開くゲート部128を有し、測定結果の一致が判定された時の遅延制御信号が、ゲート部128を経由して可変遅延ポイント13内にラッチされる。ノードN115～N1m5の信号が遅延制御信号15に対応する。

【0027】測定用遅延回路121は、基本遅延回路20とNANDゲート21、23、25、29及びインバータ22、24、26、30からなる可変遅延回路とで構成される。内部クロックCLK0の立ち上がりのタイミングに同期した短いパルス幅のスタートパルスSTARTが、基本遅延回路20と可変遅延回路を伝搬し、ノードN110、N120、N130を順にHレベルにする。そして、内部クロックCLK0の次の立ち上がりタイミングに同期した短いパルス幅のストップパルスSTOPにตอบสนองして、ゲート122が閉じられる。ゲート部122は、Pチャネルトランジスタ31、33、35、39及びNチャネルトランジスタ32、34、36、40からなるCMOSトランスファゲートで構成される。従って、ストップパルスSTOPにตอบสนองして、内部クロックCLK0の周期に応じた位置のノードN110、120、130...のいずれかのHレベルとそれ以外のLレベルが、遅延状態ラッチ部123にラッチされる。遅延状態ラッチ部123は、インバータ41～50からなるラッチ回路と、インバータ51～59と、NORゲート52～60を有し、Hレベルをラッチした最右側のノードに対応するNORゲートの出力N111、N121、N131～N1m1をHレベルにする。

【0028】上記の基本遅延回路20の遅延時間は、例

えば、出力バッファ2の遅延時間D2に相当するように形成される。それにより、ゲート21～30での遅延時間は、可変遅延回路14の遅延時間D14に対応することになる。

【0029】スイッチ125は、最初にノードN111～N1m1の信号を、一致判定回路127のNORゲート127-1～127-mに供給し、現在測定した結果と既に測定してラッチ部126に記憶された結果とが一致するか否かを判定する。また、一致の判定がなされない場合は、スイッチ125は、ノードN111～N1m1の信号をラッチ部126に供給する。即ち、内部クロックCLK0の周期の長さに応じて、ノードN111～N1m1のいずれかがHレベルとなり、その信号が次々に遅延測定結果ラッチ部126に供給される。そして、その後に再度同じノードN111～N1m1がHレベルになると、そのノードに対応する一致判定回路127のNORゲートがノードN115～N1m5のいずれかをHレベルにする。

【0030】一致判定回路127が一致を判定すると、図示しない一致検出信号が生成され、その信号にตอบสนองしてDLL制御回路11よりゲートパルスGATEが出力され、ゲート部128のCMOSTransファゲート61～70が開かれる。その結果、ノードN115～N1m5に出力された遅延制御信号15が可変遅延ポイント13にラッチされる。可変遅延ポイント13は、インバータ81～90からなるラッチ回路と、インバータ91～99を有する。測定結果が一致したノードに対応するノードN115～N1m5のいずれかがHレベルとなり、それ以外は全てLレベルとなる。この、遅延制御信号15は、ノードN116～N1m6から可変遅延回路14に供給される。可変遅延回路14については、後述する。

【0031】図4は、図3に示したクロック周期測定部12を利用したDLL回路の全体の動作のフローチャート図である。上記した通り、DLL制御回路11が内部クロックCLK0の立ち上がり同期したスタートパルスSTARTと次の内部クロックCLK0の立ち上がり同期したストップパルスSTOPとをクロック周期測定部12に与え、クロック周期測定部12は、その周期を測定する(S1)。この例では、L回測定して一致する測定遅延結果が得られない場合は、強制的に最後のL回目の測定結果を採用する。従って、最初の測定では、L回目に達していないので(S2)、パルスA1にตอบสนองして一致判定回路127が、以前に測定した結果と一致するか否かの判定を行う(S3)。一致しなければ、パルスB1にตอบสนองして、遅延測定結果ラッチ部126に測定結果をラッチする(S4)。そして、再度クロックの周期の測定を行う(S1)。

【0032】L回の周期の測定の間で、以前の測定結果と現在の測定結果とが一致すると(S3)、図示しない

ゲートパルスGATE(F1)にตอบสนองして一致した測定結果が可変遅延ポイント13にラッチされる(S5)。この測定結果は、前述の通り、そのまま遅延制御信号15となる。そして、図示しないパルスC1により、遅延測定結果ラッチ部123のラッチ状態がクリアされる(S6)。

そして、所定数のクロックCLKの期間待機する(S7)。その間、可変遅延ポイント13にラッチされた遅延制御信号15に従って、可変遅延回路14の遅延時間が制御される。

【0033】また、L回の周期の測定を行っても、以前の測定結果と一致しない場合は(S2)、最後のL回目の遅延測定結果が、可変遅延ポイント13に強制的にラッチされる(S8)。この強制的なラッチは、後述する通り、同時生成されるパルスA1、B1により、ノードN111～N1m1の信号をラッチ部126と一致判定NORゲート127に同時に供給することにより行うことができる。

【0034】上記した通り、図3に示されたクロック周期測定部12を利用したDLL回路では、複数回のクロックの周期を測定し、その測定結果が少なくとも2回同じ結果になるとその測定結果に従う遅延制御信号を生成する。そして、その遅延制御信号により制御された可変遅延回路14の遅延時間により、出力クロックCLK1が生成される。従って、DLL回路は、短い期間であっても、精度の高いクロックの周期測定結果により遅延制御信号を生成することができる。そして、L回という限定された回数の測定によっても一致する結果が得られない場合は、最終回の測定結果を利用して、遅延制御信号を生成する。

【0035】図5は、図3のクロック周期測定部の詳細回路を示す図である。図3にも示された同じ部分には同じ引用番号を付した。図5には、スイッチ部125と遅延測定結果ラッチ部126の詳細な回路図が追加して示される。また、図5には、ゲートパルスGATEがパルスF1として示され、そのパルスF1の生成が一致判定信号E1により生成されることも示される。

【0036】スイッチ部125は、パルスA1で開閉が制御されるNANDゲート101、103、105、109と、パルスB1で制御されるPチャンネルトランジスタ102、104、106、110とで構成される。また、遅延測定結果ラッチ部126は、インバータ131～140からなるラッチ回路と、それぞれのラッチ回路のノードN112～1m2を反転するインバータ141、143、145、149と、そのインバータで制御されるP型のトランジスタ142、144、146、150とを有する。ノードN111～N1m1のHレベルが遅延測定ラッチ部126のラッチ回路に保持されると、トランジスタ142、144、145、150の内、対応するトランジスタが非導通となり、その後の遅延測定結果はラッチ回路に取り込まれない。パルスC1

で制御されるN型のトランジスタ151～159は、ラッチ状態をクリアする回路である。

【0037】一致判定部127には、一致判定用のNORゲート127-1～127-mに加えて、ノードN115～N1m5で制御されるN型トランジスタ71～79と、抵抗160、インバータ161、162を有する。これらの回路は、一致判定が行われるとトランジスタ71～79のいずれかを導通し、ノードE0をグランドレベルに下げて、一致判定信号E1を生成する。一致判定信号E1は、DLL制御回路11にも供給される。

【0038】図6は、図5に示した回路において、2回目の測定結果が1回目の測定結果と一致した場合のタイミングチャート図である。まずクロックの周期の測定が行われる前の状態では、ストップパルスSTOPがLレベルにあるので、ゲート部122のトランスファゲートは全て導通状態にある。そして、制御パルスA0、B0は、それぞれHレベル、Lレベルにあり、パルスA1がLレベルでNANDゲート101、103、105、109はそれぞれ閉じた状態にある。また、パルスB1はHレベルにあり、P型トランジスタ102、104、106、110は非導通状態にある。更に、遅延測定結果ラッチ部126のラッチ回路のノードN112～N1m2は全てHレベルにリセットされ、ノードN114～N1m4は全てLレベルにありP型トランジスタ142、144、146、150は全て導通状態にある。

【0039】そこで、図6のタイミングt10でクロックCLKの立ち上がりのタイミングに同期して、DLL制御回路11がスタートパルスSTARTを供給する。この例では、スタートパルスSTARTはクロックCLKの2周期分のパルス幅を有する。このスタートパルスSTARTは、測定用遅延回路121の基本遅延回路20を通過して、各ノードN110、N1m0を次々にHレベルにする。その時、ゲート122は全て導通状態にあるので、ノード110のHレベルがラッチ部123のラッチ回路41、42によりラッチされ、LレベルをNORゲート52に与える。その時、ノードN120がまだLレベルであるので、インバータ51の出力はLレベルとなり、それがNORゲート52に与えられる。そして、NORゲート52の他方の入力Lレベルであり、一時的にノードN111はHレベルとなる。しかし、スタートパルスSTARTがノードN120に伝搬すると、ノードN120がHレベルとなり、ラッチ回路43、44でラッチされ、インバータ51の出力はHレベルとなり、ノードN111はLレベルに戻る。即ち、ノードN111には、NANDゲート23とインバータ24の伝搬遅延時間分だけのパルス幅を有するHパルスが生成される。以下、同様に、ノードN121にも短いパルス幅のHパルスが生成される。

【0040】そして、クロックCLKの次の立ち上がりのタイミングt11にて、DLL制御回路11がストッ

パルスSTOPを供給する。このストップパルスSTOPのHレベルにより、ゲート部122のトランスファゲートが全て閉じる。図6の例では、スタートパルスSTARTがノードN130まで伝搬した時点で、ストップパルスSTOPが生成されている。その時、次段のノードN140はLレベルであるのでインバータ55の出力はLレベルであり、インバータ46の出力もLレベルであり、NANDゲート56の出力N131だけがHレベルとなる。このHレベルの期間は、ストップパルスSTOPがLレベルになってゲート部122が開かれるまで続く。

【0041】以上の様に、基準クロックCLKの周期の長さに応じて、ノードN111～N1m1のいずれかがHレベルになる。基本遅延回路20の遅延時間を適切に選択することで、ゲート21～30に可変遅延回路14と同じ遅延時間D14を生成することができる。

【0042】次に、タイミングt12に同期して、制御パルスA0のLレベルのパルスが供給される。最初一致判定信号E1はHレベルにあるので、NANDゲート110の出力A1はHレベルのパルスとなる。その結果、スイッチ部125のNANDゲート101、103、105、109がそれぞれ開いた状態となり、ノードN111～N1m1の信号が反転して一致判定用のNORゲート127の入力N113～N1m3に供給される。図6に示される通り、ノードN133のみがLレベルとなる。そして、NORゲートにて、その時点で遅延測定結果ラッチ部126のラッチデータのノードN112～N1m2と一致するか否かの判定が行われる。一回目の測定時点では、ラッチ部126のノードN112～N1m2は全てHレベルであり、ノードN133のLレベルと一致することはないので、NORゲート127の出力N115～N1m5は全てLレベルとなる。

【0043】一致判定パルスA0に応答して一致検出信号E1がLレベルにならなかったため、DLL制御回路11が遅延測定結果をラッチする為のHレベルパルスB0を、タイミングt13で生成する。それに応答して、NANDゲート111がLレベルの制御パルスB1を生成し、P型トランジスタ102、104、106、110を導通する。その結果、ノードN111～N1m1の遅延測定結果が、遅延測定結果ラッチ部126の各ラッチ回路にラッチされる。この例では、ノードN132のみがLレベルをラッチし、他のノードN112、N122... N1m2はHレベルのラッチ状態を維持する。ノードN132のLレベルのラッチに応答して、インバータ144はノード134をHレベルにし、P型トランジスタ145を非導通状態にする。その結果、それ以降の測定結果は、ラッチ回路135、136には取り込まれない。

【0044】タイミングt14で、ストップパルスSTOPが立ち下がり、ゲート122を全て導通し、ノード

N131はLレベルに戻る。以上で1回目のクロックCLKの周期測定が終了する。

【0045】2回目のクロックCLKの周期測定は、タイミングも20に同期したスタートパルスSTARTで開始される。タイミングも21でストップパルスSTOPがHレベルに立ち上がると、ゲート部122が一斉に閉じる。図6の例では、2回目の測定でも、スタートパルスSTARTはノードN130まで達している。従って、1回目と同様に、ノードN131のみがHレベルとなり、他のノードN111、N121、N1m1はLレベルとなる。

【0046】そこで、タイミングも22で、一致判定パルスA0が、DLL制御回路11から生成されて、パルスA1のHレベルにตอบสนองしてスイッチ部125のNANDゲート101、103、105...109が一斉に開かれる。そして、ノードN111～N1m1の遅延測定結果信号の反転信号が、ラッチ部126のノードN112～N1m2のラッチ信号と、Lレベルで一致するか否かの判定が、NORゲート127にて行われる。この時、ノードN133はLレベル、1回目の測定結果がラッチされたノードN132もLレベルであるので、NORゲート127-3の出力N135がHレベルとなる。即ち、現在の測定結果がそれまでの測定結果と一致したことが判定される。

【0047】ノードN135のHレベルにตอบสนองして、N型トランジスタ75が導通し、ノードE0をLレベルに引き下げ、一致判定信号E1をLレベルにする。この一致判定信号E1のLレベルにより、NANDゲート110、111が同時に出力A1、B1を共にHレベルに固定し、一致判定状態を固定する。一方、一致判定信号E1のLレベルにตอบสนองして、インバータ164とNORゲート163により、インバータ164の遅延時間分のパルス幅を有するゲートパルスF1が生成される。それにตอบสนองして、トランスファゲート128が一斉に導通し、ノードN135のHレベルとそれ以外のノードN115、N125、N1m5のLレベルが可変遅延ポイント13にラッチされる。その結果、少なくとも1回目と2回目の測定で一致した遅延測定結果に基づいた遅延制御信号15が、ノードN116～N1m6から可変遅延回路14に出力される。

【0048】一致判定信号E1は、DLL制御回路11にも供給され、それにตอบสนองして、DLL制御回路11は、タイミングも24でリセットパルスC1を与える。リセットパルスC1のHレベルにตอบสนองして、トランジスタ151～159が導通し、ノードN112～N1m2をLレベルにリセットする。また、それにตอบสนองして、ノードN135はLレベルになり、一致判定信号E1がHレベルに戻り、パルスA1、B1のHレベルの固定状態が解除される。

【0049】図7は、図5に示した回路において、測定

制限回数L=3の場合であって、2回目までの測定結果が一致しなかった場合の3(=L)回目の測定時のタイミングチャート図である。3回目の測定時の測定結果に基づいて、遅延制御信号が生成される。

【0050】3回目の測定も、タイミングも30のスタートパルスSTARTにより開始する。そして、タイミングも31のストップパルスSTOPにより、ゲート122が閉じる。この場合も、スタートパルスSTARTがノードN130まで伝搬していた例で説明する。ストップパルスSTOPにตอบสนองして、ゲート122が閉じられ、ノードN131のみがHレベルとなる。

【0051】DLL制御回路11は、過去に一致判定がなされなかったので、最終回の3回目の測定では、パルスA0、B0をタイミングも32で同時に生成する。この制御が、図6で説明した動作と異なる点である。この制御パルスA0、B0の同時発生にตอบสนองして、ノードN131のHレベルが、それぞれ反転して、ノードN133とノードN132を共にLレベルにし、NORゲート127-3の出力N135をHレベルにする。その後の動作は、上記した一致判定時と同じであり、信号E1のLレベルにより、パルスA1、B1が固定され、生成されるゲートパルスF1により、ノードN135のHレベルとそれ以外のノードのLレベルとが、遅延制御信号として可変遅延ポイント13にラッチされる。その後、リセットパルスC1により、最初の状態にリセットされる。但し、可変遅延ポイント13は、遅延制御信号をラッチし続ける。

【0052】図8は、別の実施の形態例のクロック周期測定部と可変遅延ポイント13の詳細回路図である。この回路図は、選択回路129とそのゲート部130が追加されている点で、図5の回路図と異なる。また、図5の場合と区別するために、各ノードの引用番号を200番台に変更しているが、下2桁の番号は図5の場合と同じである。図5と同じ部分の引用番号は一部省略している。

【0053】図8の別の実施の形態例でも、測定用遅延回路121、ゲート部122、遅延状態ラッチ部123、スイッチ部125、遅延測定結果ラッチ部126、一致判定回路127、ゲート部128を有する。

【0054】上記した図3、5の回路例では、最大測定回数までに測定結果が一致しない場合は、最終測定結果に基づいた遅延制御信号が可変遅延ポイント13にラッチされた。図8の例では、2回測定結果が一致したらその測定結果に基づく遅延制御信号をラッチすることは同じであるが、最大測定回数までに測定結果が一致しない場合は、過去の測定結果の中間測定値に基づく遅延制御信号をラッチする。これにより、ノイズの発生等による誤差を最小限に抑えることが可能になる。

【0055】図9は、図8の回路の場合のDLL回路の全体の動作のフローチャート図である。図4のフローチ

ヤートと比較すると理解できる様に、3回目の測定結果までは、過去の測定結果と一致するか否かの判定を行い（S13）、3回目でも測定結果が一致しない場合は、過去3回の測定結果の内、中間の測定値に基づく遅延制御信号を可変遅延ポイント13にラッチする（S12、S18）。それ以外の動作は、図4の場合と同じである。

【0056】図10は、図8の回路において、3回の測定で測定結果が一致しなかった場合の3回目の測定時の動作タイミングチャート図である。図8の回路の場合も、上記した通り、3回目の測定まで過去の測定結果と一致するか否かの判定が、一致判定回路127で行われる。図10の例では、1回目と2回目で、ノードN221がHレベル、ノードN231より右側の任意のノードがHレベルになる測定結果が、対応する遅延測定結果ラッチ部126にラッチされ、3回目の測定で、ノードN231がHレベルになる測定結果がラッチ部126にラッチされた場合を想定する。従って、図8中の（H）、（L）は、3回目の測定結果がラッチされた時点での各ノードの状態を示すものとする。

【0057】選択回路129のEORゲート160、161、162...は、入力が一致する場合はLレベルを出力し、入力不一致の場合はHレベルを出力する。そして、EORゲート160の一方の入力がグラウンドレベルのLレベルである。従って、過去2回の測定において、最短の周期が測定されてラッチされたノードN222のLレベルに応じて、EORゲート161の出力から左側のEORゲートの出力がHレベルとなる。また、2番目に短い周期が測定されてラッチされたノードN2n2（ノードN232より左側）のLレベルに応じて、それから左側のEORゲートの出力がLレベルとなる。

【0058】かかる選択回路129を利用することにより、3回の測定の内、中央値の周期に基づく遅延制御信号が可変遅延ポイント13のラッチされる。図10に戻り、3回目の測定が、タイミングt30で生成されるスタートパルスSTARTにより開始される。そして、タイミングt31で生成されるストップパルスSTOPによりゲート部122が閉じられ、ノードN231のHレベルが生成される。

【0059】そして、通常通り、タイミングt32で制御パルスA0が生成され、パルスA2にตอบสนองしてノードN233がLレベルとなる。この場合、過去2回の測定結果と一致せず、一致判定信号E2はHレベルを維持する。次に、タイミングt33で制御パルスB0が生成され、パルスB2にตอบสนองして、ノードN231のHレベルがラッチ部126にラッチされ、ノードN232がLレベルとなる。それにตอบสนองして、インバータ144によりノードN234がHレベルとなり、EORゲート162はその出力N238をLレベルとする。ノードN222のLレベルによりEORゲート161の出力N229も

Hレベルであり、ノードN234のHレベルにตอบสนองして、NANDゲート165の出力はLレベル、インバータ169の出力N237はHレベルとなる。選択回路129内のそれ以外のNANDゲート163、164、166はいずれもLレベルを出力する。

【0060】かくして、3回目の測定結果によっても一致しないことが一致判定信号E2により判明し、DLL制御回路11が制御パルスD1を生成し、ゲート部130のトランスファゲート181～188を導通する。それにより、ノードN237のHレベルが、遅延制御信号として、可変遅延ポイント13にラッチされる。即ち、ノードN236はHレベル、それ以外のノードN216、226、2m6はいずれもLレベルとなる。

【0061】上記した通り、選択回路129を追加することにより、3回測定後の中間の周期に対応する遅延制御信号15を生成し、可変遅延ポイント13にラッチすることができる。

【0062】図11は、図1に示した可変遅延回路14の具体的な回路図である。遅延制御信号N116～N1m6によりその遅延時間が選択される。この可変遅延回路は、入力端子INに印加される内部クロックCLK0を所定時間遅延させて出力端子OUTに出力クロックCLK1を出力する。この例では、m段の遅延回路となり、1段目はNAND711、712及びインバータ713で構成され、2段目は、NAND721、722及びインバータ723で構成され、以下同様にして、m段目はNAND761、762及び763で構成される。

【0063】前述の通り、遅延制御信号N116～N1m6は、いずれか1つがHレベルになり、他は全てLレベルになる。そして、Hレベルになった遅延制御信号により対応するNAND711、721、...761が1つだけ開かれ、入力INに印加される内部クロックCLK0を通過させる。他のLレベルの遅延制御信号により、対応する他のNAND711、721、...761が全て閉じられる。図示される通り、遅延制御信号N116がHレベルの時はNAND711が開かれ、入力端子INから、インバータ701、NAND711、712及びインバータ713を経由して出力端子OUTまでの遅延経路が形成される。従って、ゲート4段の遅延を有する。

【0064】遅延制御信号N126がHレベルの時はNAND721が開かれる。ゲート762の入力は共にHレベルであるので、インバータ763の出力はHレベル、同様にインバータ753、743...の出力もHレベルである。従って、NAND722も開かれた状態である。その結果、入力端子INから、インバータ701、ゲート721～723、712、713を経由して出力端子OUTまでの遅延経路が形成される。従って、ゲート6段の遅延を有する。以下、図11中に示された通り、Hレベルの遅延制御信号が左に移動する度に、遅延経路のゲート数が2ゲートずつ増加する。遅延制御信号N1m6がHレベルの時

は、 $2 + 2n$ 段のゲート数の遅延経路となる。従って、上記のクロック周期測定部12により測定された遅延結果に基づく遅延制御信号により、図11の可変遅延回路は測定された周期の長さに応じた遅延時間D14を生成することができる。

【0065】

【発明の効果】以上説明した通り、本発明によれば、短時間でより精度良くクロックの周期を測定し、その周期に基づく遅延制御信号を生成することができるDLL回路を提供することができる。

【図面の簡単な説明】

【図1】、本発明のDLL回路の全体構成図である。

【図2】DLL回路の基準クロックCLKと生成されるクロックCLK1との関係を示すタイミングチャート図である。

【図3】DLL回路内のクロック周期測定部と可変遅延ポイントとを示す概略回路図である。

【図4】図3に示したクロック周期測定部12を利用したDLL回路の全体の動作のフローチャート図である。

【図5】図3のクロック周期測定部の詳細回路を示す図である。

【図6】図5に示した回路において、2回目の測定結果が1回目の測定結果と一致した場合のタイミングチャー

ト図である。

【図7】図5に示した回路において、2回目までの測定結果が一致しなかった場合の3(=L)回目の測定時のタイミングチャート図である。

【図8】別の実施の形態例のクロック周期測定部と可変遅延ポイント13の詳細回路図である。

【図9】図8の回路の場合のDLL回路の全体の動作のフローチャート図である。

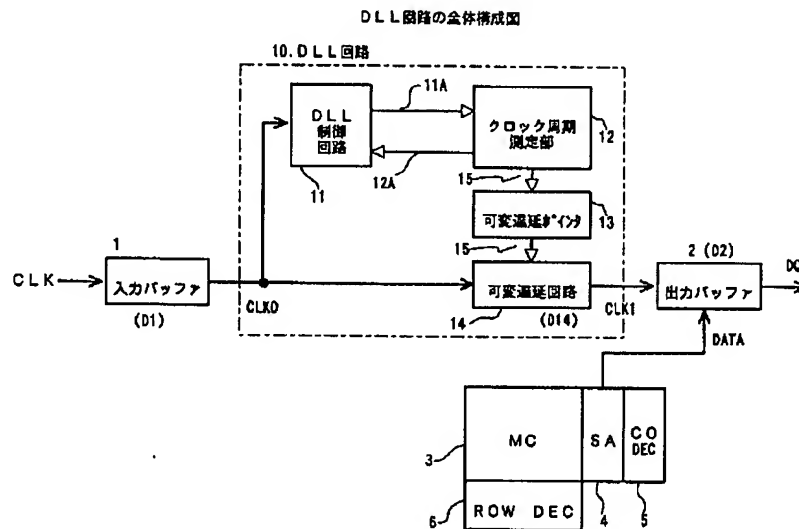
【図10】3回の測定で測定結果が一致しなかった場合の3回目の測定時の動作タイミングチャート図である。

【図11】図1に示した可変遅延回路14の具体的な回路図である。

【符号の説明】

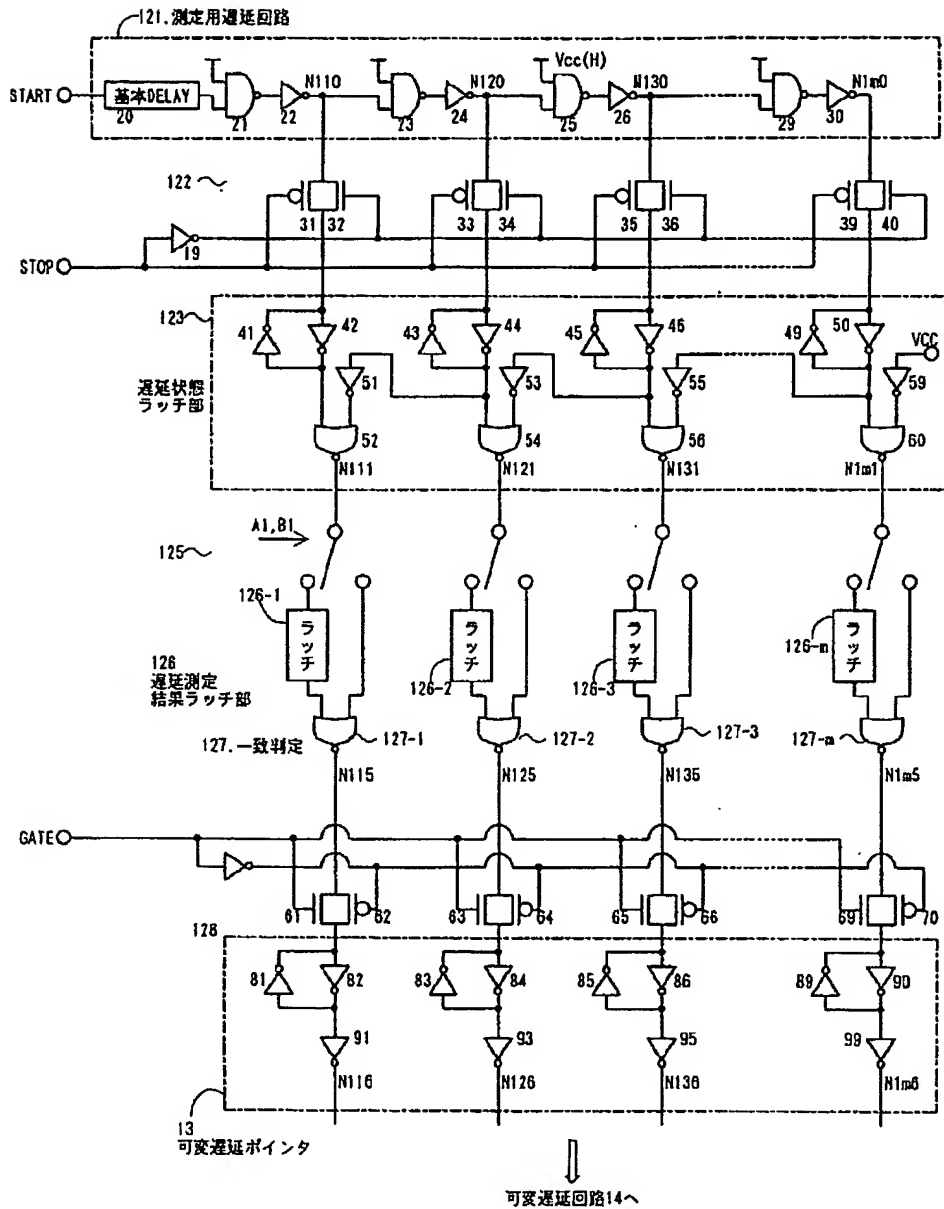
- | | |
|----|-----------|
| 1 | 入力バッファ |
| 2 | 出力バッファ |
| 3 | メモリセルアレイ |
| 10 | DLL回路 |
| 11 | DLL制御回路 |
| 12 | クロック周期測定部 |
| 13 | 可変遅延ポイント部 |
| 14 | 可変遅延回路 |
| 15 | 遅延制御信号 |

【図1】

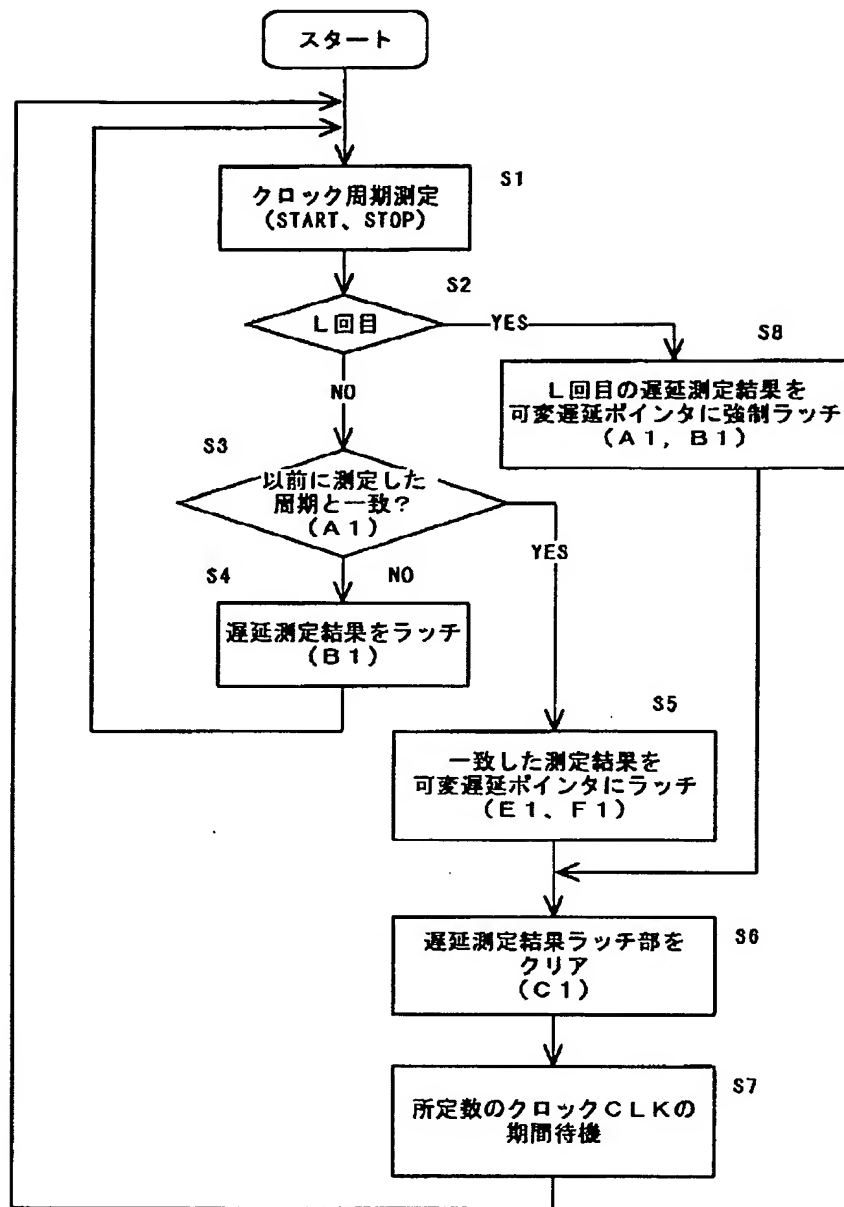


【図3】

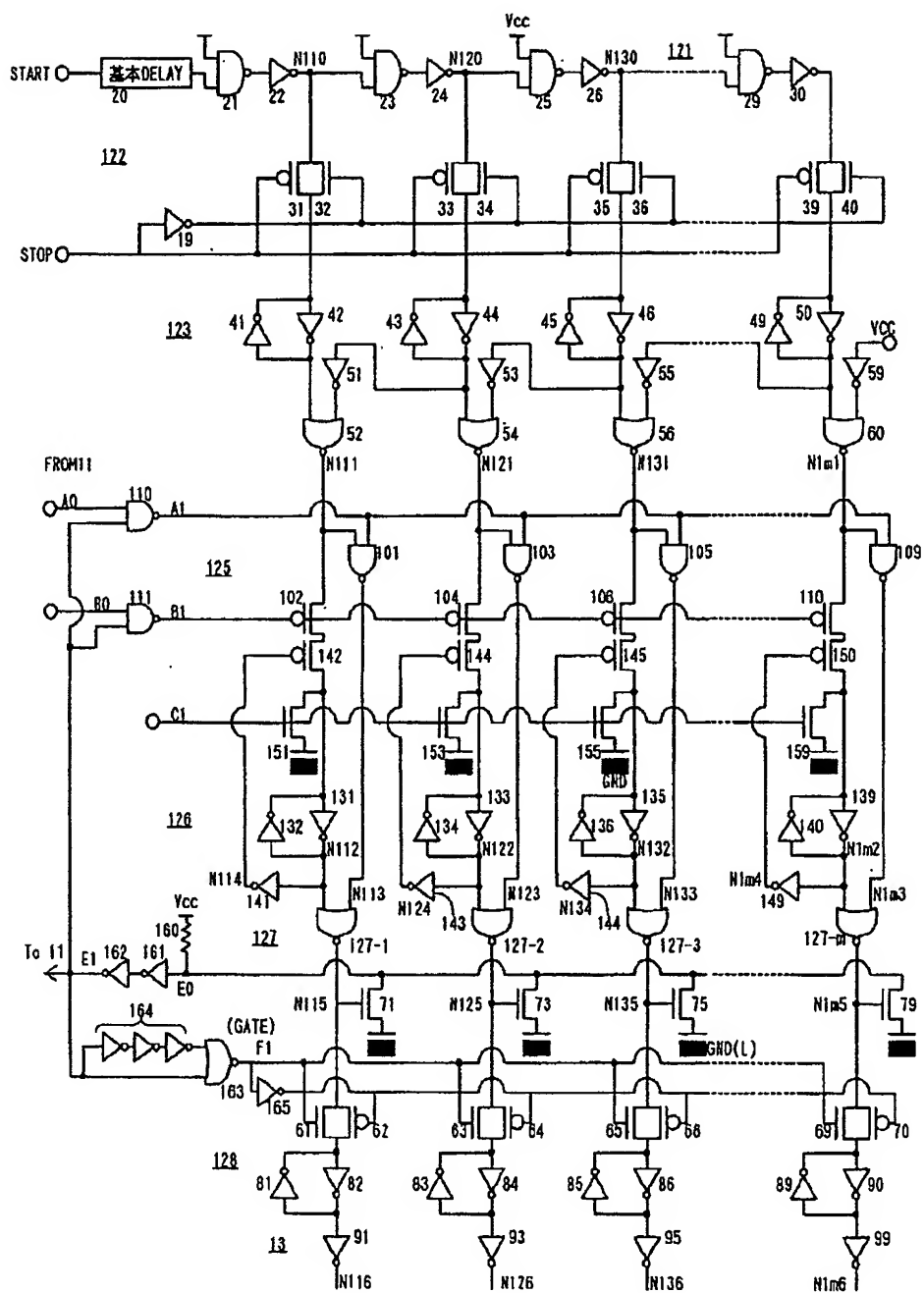
12. クロック周期測定部



【図4】

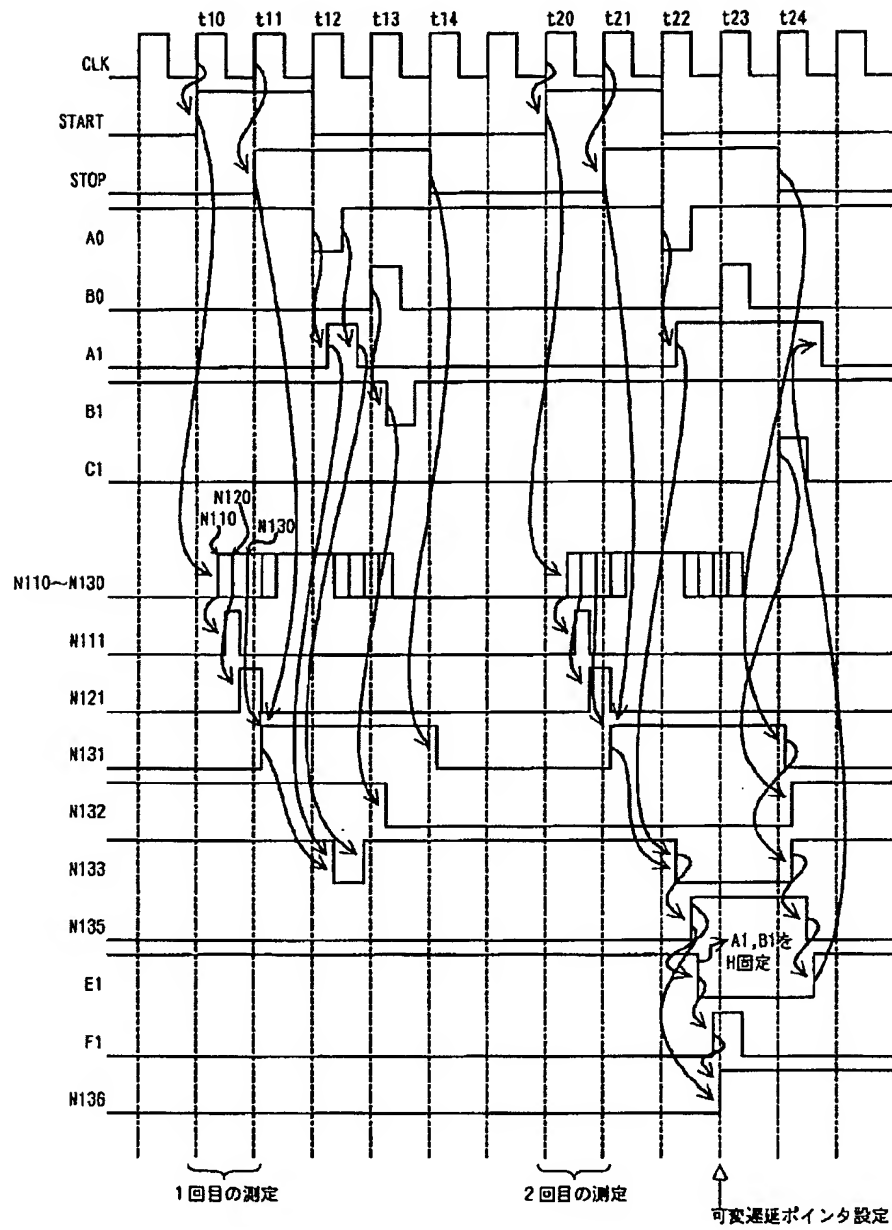


【図5】



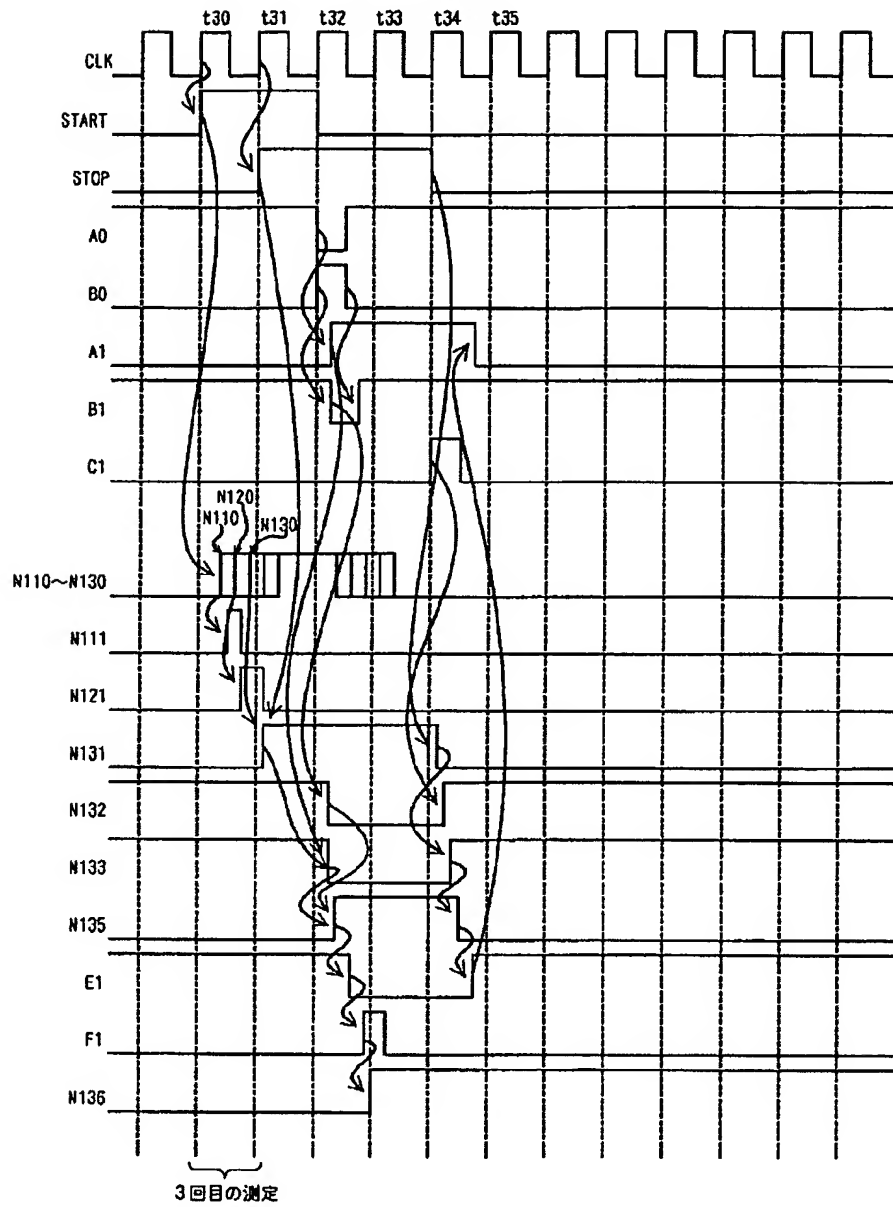
【図6】

2回目で測定結果が一致した場合



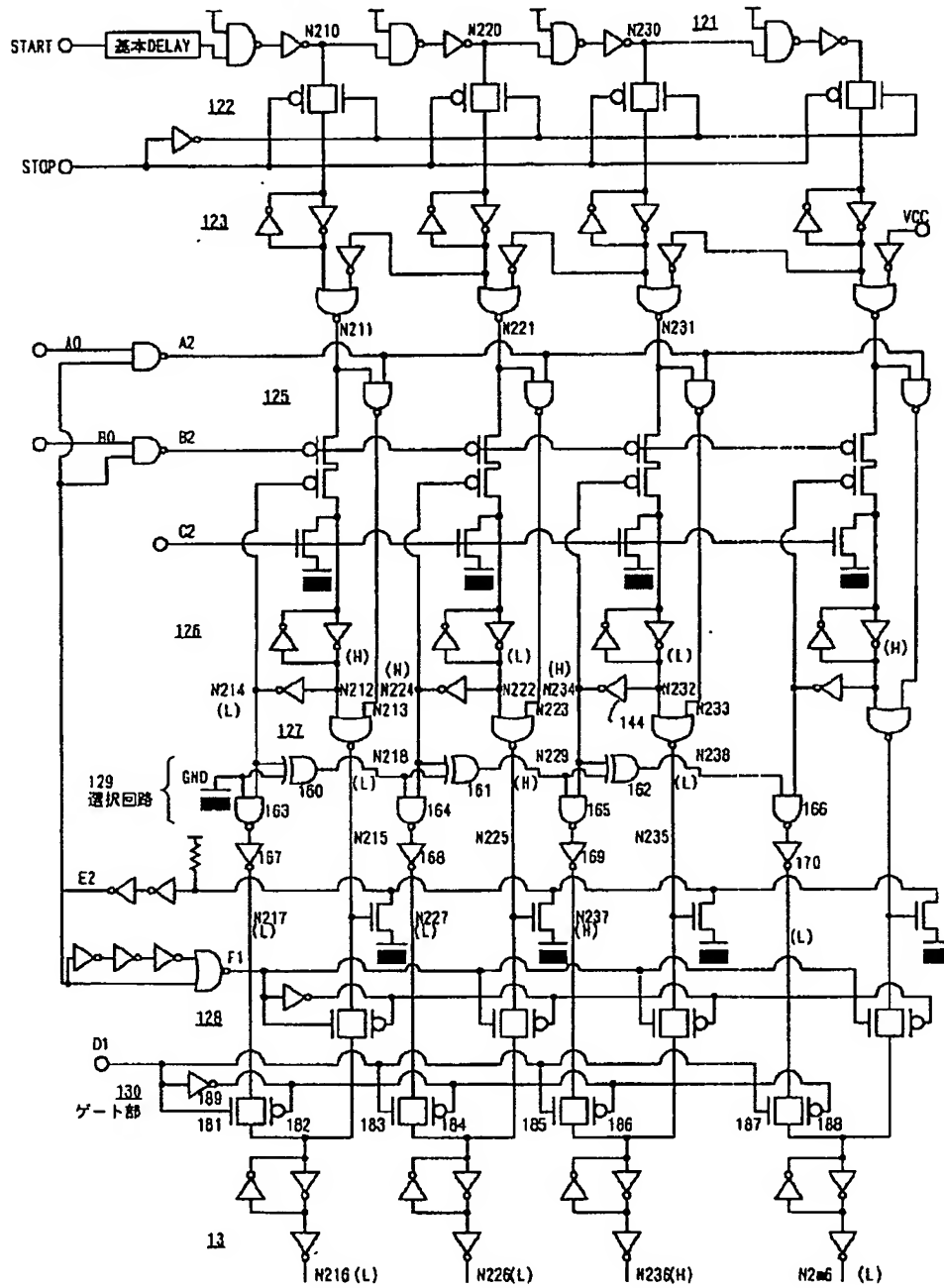
【図7】

2回目で測定結果が一致しない場合の3回目の測定

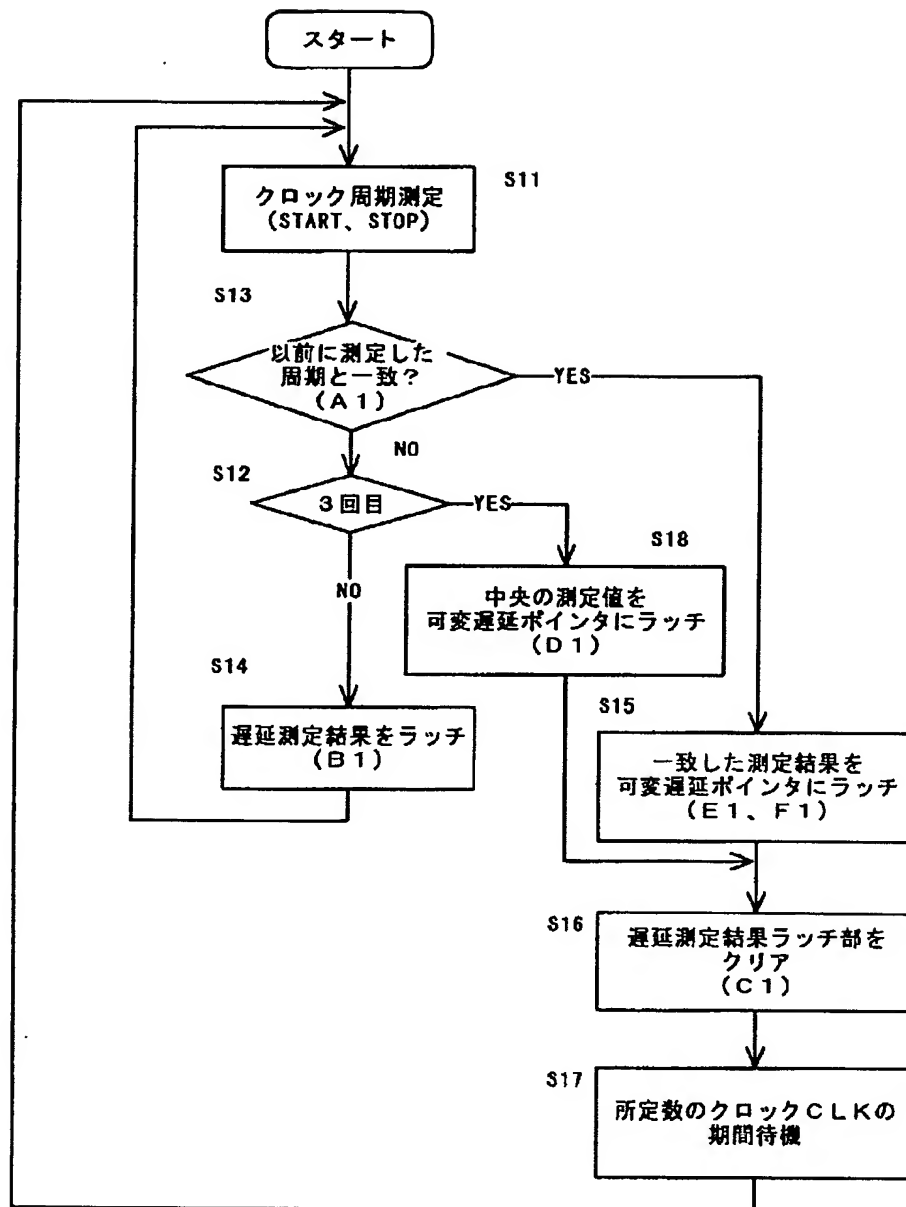


【図8】

別の実施の形態例でのクロック周期測定部

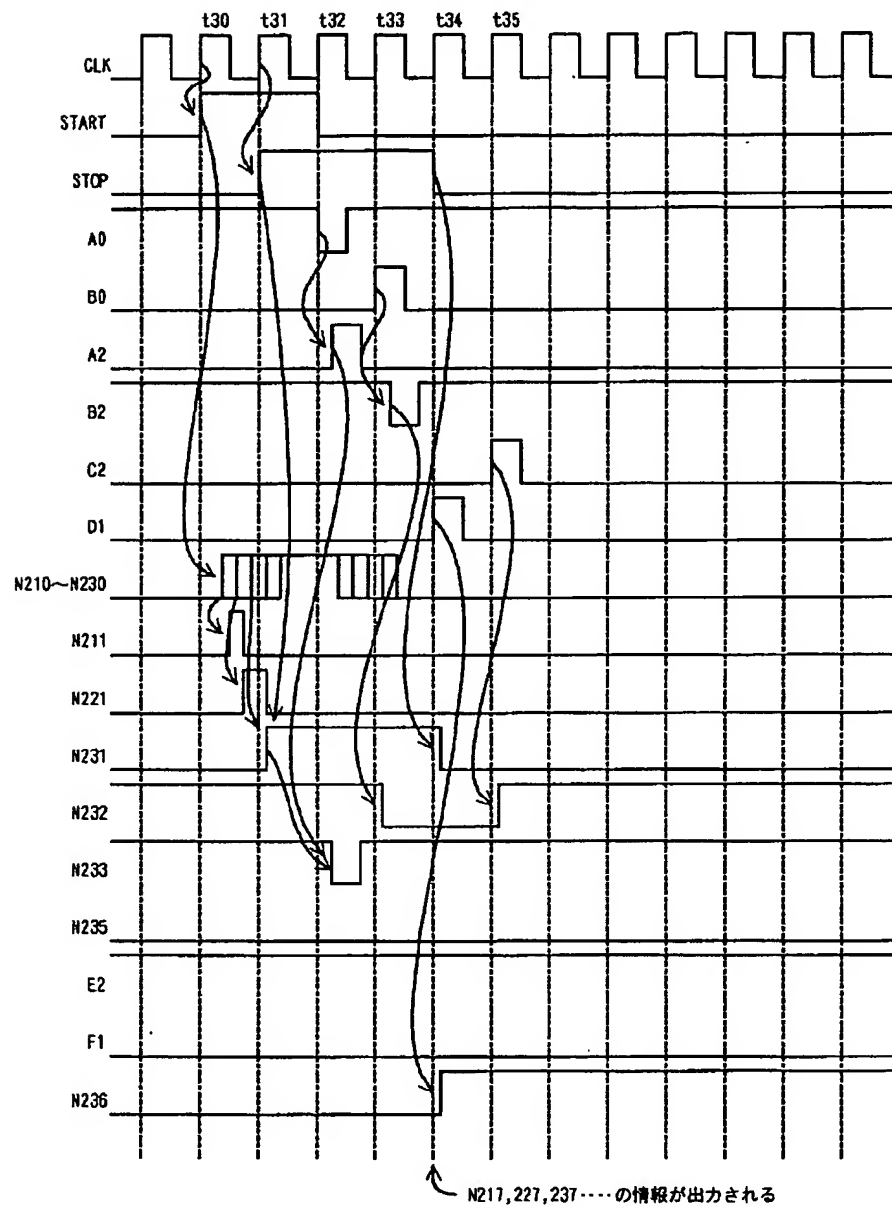


【図9】



【図10】

3回目の測定で一致しなかった場合



フロントページの続き

(51)Int.Cl.⁶

識別記号

F I

G 1 1 C 11/34

3 6 2 S